

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-207234

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁸

H 04 N 1/04

識別記号 庁内整理番号

104 A 7251-5C

F I

技術表示箇所

審査請求 未請求 請求項の数1(全9頁)

(21)出願番号 特願平4-160901

(22)出願日 平成4年(1992)6月19日

(31)優先権主張番号 07/722411

(32)優先日 1991年6月27日

(33)優先権主張国 米国(US)

(71)出願人 590000798

ゼロックス コーポレイション
XEROX CORPORATION
アメリカ合衆国 ニューヨーク州 14644

ロチェスター ゼロックス スクエア
(番地なし)

(72)発明者 アーロン ナックマン

アメリカ合衆国 ニューヨーク州 14620
ロチェスター ラバーナム クレッセント 246

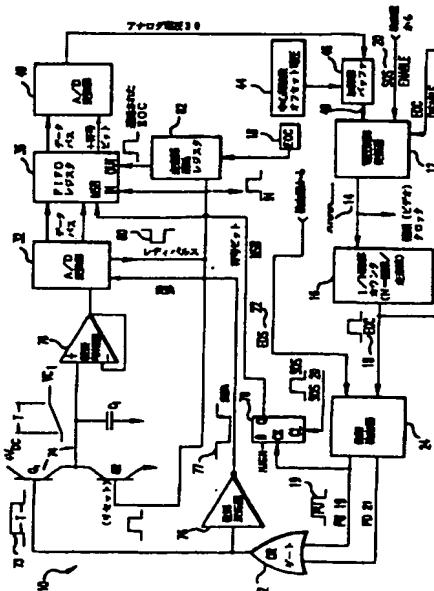
(74)代理人 弁理士 中村 稔 (外6名)

(54)【発明の名称】 画素クロック位相ロックループを有するレーザースキナ

(57)【要約】 (修正有)

【目的】 レーザースキナにおける低周波モーターハンチング、多面体モーターコギング、鏡面ジッターを正確かつ経済的に補償する位相ロックループを提供する。

【構成】 画素クロック位相ロックループ10は、複数の走査線のそれぞれについて走査開始パルス20と走査終了パルス22を受け取る。電圧制御発振器12は所望の画素クロック周波数を出力する。位相ロックループは各走査線内の所望の画素数を16でカウントし、走査線の最終画素の所でパルスを出し、走査開始パルスと最終画素パルスとを比較して位相誤差P u 19を出力する。次の多面体の回転のとき鏡面が像形成ビームを走査するとき、位相誤差を使用する。位相ロックループは、この位相誤差を電圧に変換した後、中心周波数電圧と加算して、得られた合成電圧で電圧制御発振器を制御する。



【特許請求の範囲】

【請求項1】 像形成部材を横切って像形成ビームを走査する回転多面体（各面が複数の走査線の1つを走査する）と、各走査線内の解像度を制御する画素クロック位相ロックループを有するレーザースキャナであって、前記位相ロックループは、

各走査線の走査の開始および終了をそれぞれ指示するパルスを発生するパルス発生手段、

画素クロックの所望周波数を出力する電圧制御発振器、各走査線内の所望画素数をカウントし、走査線の最終画素の所でパルスを出力するカウンタ手段、

前記走査終了パルスと前記最終画素パルスの差に実質的に等しいパルス幅を有する位相誤差パルスを出力する位相検出器を含み、且つ前記位相誤差パルスの幅をデジタルワードに変換する第1変換手段を有する比較手段、前記多面体の各面に関する前記位相誤差を記憶する記憶手段、

前記多面体の次の回転で前記多面体の面が像形成ビームを走査するとき、前記各面に関する位相誤差を前記記憶手段から供給する供給手段、

該供給された位相誤差を位相誤差電圧に変換する第2変換手段、

中心周波数電圧を発生する手段、

前記位相誤差電圧に前記中心周波数電圧を加えて合成電圧を生成する加算手段、および前記合成電圧で前記電圧制御発振器を制御する制御手段、

を有し、該位相ロックループは1走査線当たりほぼ±2ナノ秒以内の精度が得られることを特徴とするレーザースキャナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、レーザースキャナ用の画素クロック位相ロックループ、より詳細には、低周波モーター・ハンチング、多面体駆動モーターコギング（cogging）、および鏡面ジッター（jitter）を補償するための画素クロック位相ロックループに関するものである。、

【0002】

【従来の技術】 レーザースキャナたとえばラスター出力スキャナは、イメージ情報を像形成表面たとえば記録媒体へ記録するために使用される。ビデオイメージ信号に含まれるイメージ情報すなわち画素に従って、光源たとえばレーザー光源が発生した光ビームが変調される。変調された光ビームは回転多面体に当てられる。多面体は像形成表面の像平面を横切って変調された光ビームを走査する。多面体の各面は鏡面である。多面体はモーターによって回転され、このモーターの速度によって像形成表面の移動方向（すなわちY方向）の解像度が制御される。走査線内（すなわちX方向）の解像度は単位時間当たりのイメージ信号の数すなわち画素数の関数である。

この走査方向の解像度はイメージ信号の周波数すなわち画素クロック周波数によって決まる。多面体の各鏡面は1本の水平走査線に相当するイメージ情報を与える。

【0003】 モーターの速度誤差はさまざまな周波数で生じることが多く、走査線方向の像の歪みの原因になる。これらの速度誤差としては、モーター・ハンチング

（多面体を回転させるモーターの速度が低い周波数（たとえば、10Hz以下）で若干変動する現象）モーター・コギング（モーター磁極数×1秒当たりの回転数に等しいモーターコギング周波数で起きるモーターの異常）、および鏡面ジッター（すべての走査線、すなわちすべての鏡面で起きるモーターの異常）がある。特に、複数の色分解のそれぞれについて画素を重ね合わせなければならないカラー印刷の場合には、画像が歪んだり、ぼけたりしないように、画素の重合せの正確さが決定的に重要である。さらに、多面体の各鏡面の半径や角度の差など、個々の多面体鏡面においても誤差が生じる。これらの誤差も画像を歪ませる。

【0004】 上述の誤差を補正するため、いろいろな手法が開発されている。そのうちの1つに、画素クロック位相ロックループの使用がある。たとえば、画素クロックパルスを多面体の速度の関数である周波数で発生するために、画素クロック位相ロックループが使用されている。その場合、位相ロックループは走査線方向のイメージの大きさを一定に維持するため、多面体の速度変動を監視し、クロック周波数を調整する。これらの位相ロックループは、一般に、比較的低い周波数のモーター・ハンチングを補償するように設計される。従来の位相ロックループは、先の走査線の誤差に基づいて高速走査線を補正するが、鏡面ジッターは各鏡面に独自のものである。

したがって、先の走査線の誤差を次の走査線の補正に使用すれば、間違った誤差情報になる。以上のことから、さまざまな周波数の誤差を修正する画素クロック位相ロックループが要望されている。

【0005】 これまで、画素の重合せに影響を及ぼすさまざまな誤差を補償する試みが行われているが、モーター・ハンチング、多面体モーターコギング、鏡面ジッターなど、モーター速度のさまざまな周波数において生じる誤差を補償していない。

【0006】

【発明が解決しようとする課題】 本発明の第1の目的は、さまざまな周波数で発生するモーターの誤差を補償する画素クロック制御用の位相ロックループを提供することである。

【0007】 本発明の第2の目的は、回転多面体の各鏡面に関する誤差を修正することによって画素クロックを制御する位相ロックループを提供することである。

【0008】 本発明の第3の目的は、進行形で動作する画素クロック制御用の位相ロックループを提供することである。

【0009】本発明の第4の目的は、正確かつ経済的な画素クロック制御用の位相ロックループを提供することである。

【0010】

【課題を解決するための手段】以上および他の目的を達成し、上に述べた短所を克服するために、本発明は、複数の各走査線ごとに走査開始パルスと走査終了パルスを受け取るレーザースキヤ用の画素クロック位相ロックループを提供する。レーザースキヤは各面が鏡面である回転多面体を備えている。電圧制御発振器は所望の画素クロック周波数を出力する。位相ロックループは、各走査線内の所望の画素数をカウントし、走査線の最終画素の所でパルスを出力する。走査終了パルスと最終画素パルスとを比較して、位相誤差を出力する。この位相誤差は走査終了パルスと最終画素パルスの差に等しい。多面体の次の回転のとき像形成ビームが鏡面を走査するとき、多面体の特定鏡面に関する位相誤差を使用する。位相ロックループは、この位相誤差を位相誤差電圧へ変換し、その位相誤差電圧を中心周波数電圧を加算して、合成電圧を生成し、この合成電圧で電圧制御発振器を制御する。

【0011】

【実施例】以下、添付図面を参照して本発明を詳細に説明する。諸図面を通じて、同様な構成要素は同じ参照番号で表示してある。

【0012】最初に、図1～図4を参照し、画素クロック位相ロックループ10について説明する。位相ロックループ10は、所望の画素（ビデオ）クロック周波数14を出力する電圧制御発振器12を有する。検出器（たとえば、米国特許第3,867,575号に記載されている検出器）は、走査線の開始を指示する走査開始（SOSと略す）信号パルス20と、走査線の終了を指示する走査終了（EOSと略す）信号パルス22を発生する。SOS信号パルス20の立上がり縁は電圧制御発振器12を使用可能にする。カウンタたとえば1/N除算カウンタ16は前記所望の画素クロック周波数を受け取り、高速走査線内の所望の画素数をカウントする。カウンタ16は、走査された線の最終画素の所で「カウント終了（EOCと略す）パルス18と呼ばれる信号を出力する。このEOCパルス18は電圧制御発振器12を使用不能にする。

【0013】EOSパルス22とEOCパルス18は位相検出器24へ入力される。EOSパルス22は、位相ロックループがロックを試みる基準であるのに対し、EOCパルス18は電圧制御発振器12の周波数の測度である。位相検出器24はEOCパルス18とEOSパルス22を比較して、両者の位相誤差を求める。もし位相誤差が検出されれば、電圧制御発振器12は正しい周波数で動作していない。位相検出器24は、求めた位相誤差（すなわち、EOSパルス22とEOCパルス18が

位相検出器24に到着したとき、それらのパルスの立上がり縁の時間差）に等しいパルス幅をもつパルス26を出力する。

【0014】もしEOSパルス22がEOCパルス18よりも前に位相検出器24に到達すれば、電圧制御発振器12が低すぎる周波数で動作していることを示す。したがって、位相検出器24から出力された誤差PU19を修正するため、電圧制御発振器12の周波数を増大させる、すなわちポンプアップする必要がある。

10 【0015】誤差パルスPU19の立上がり縁がフリップフロップ70をクロック動作させて、符号ビット出力がハイになり、ポンプアップ状態を指示する。フリップフロップ70はSOS信号20によってクリヤされる。

【0016】誤差パルスPU19と誤差パルスPD21（後で説明する）はORゲート72へ入力される。ORゲート72から出力されたパルス73は積分器74（Q1とC1）を駆動するパルス幅を有する。同時に、パルス73はインバータ76によって位相反転される。インバータ76から出力された変換信号77はアナログデジタル変換器32を駆動する。

20 【0017】パルス73はトランジスタQ1（バイポーラトランジスタまたは電界効果トランジスタが好ましい）を駆動し、その結果トランジスタQ1はパルス幅に等しい時間間隔Tの間導通している。トランジスタQ2はオフ状態であるから、キャパシタC1はパルス幅に等しい時間間隔Tの間充電する。キャパシタC1が充電する最終的電圧VC1はパルス幅Tに比例する。

【0018】緩衝増幅器78はキャパシタC1上の電圧VC1をアナログデジタル変換器32へ送る。位相反転されたパルス77の立上がり縁は、緩衝されたC1電圧を変換するようアナログデジタル変換器32に合図する。変換が終了すると、アナログデジタル変換器32はレディパルス80を出力する。レディパルス80の立上がり縁は、アナログデジタル変換器32から先入れ先出し（FIFO）レジスタ36にデジタルデータをクロック入力させる。レディパルス80はさらにトランジスタQ2を飽和状態へ駆動することによりキャパシタC1上の電圧を零にリセットする。レディパルス80がデジタルデータをFIFOレジスタ36にクロック入力させるとき、レディパルス80はさらに符号ビットの状態をFIFOレジスタ36にクロック入力させる。FIFOレジスタ36内のデジタルデータは測定した個々の鏡面に関する位相誤差を表す。

30 【0019】多面体の次の回転のとき、デジタルアナログ変換器40はFIFOレジスタ36内のデジタルデータをアナログ位相誤差電圧30へ変換する。加算器バッファ46はこの位相誤差電圧30に中心周波数電圧44を加算して合成電圧48を生成する。この合成電圧48は、次に、電圧制御発振器12を制御するため使用され、電圧制御発振器12は多面体の1回転につき1回

40

またはそれ以下の周波数で発生するモーターの速度誤差を正確に補償する画素クロック周波数を出力する。

【0020】所望の鏡面に先立って走査線の終りに FIFOレジスタ36からデジタルデータをクロック出力するため、EOCパルス18は走査線遅延レジスタ82によって鏡面数-1に等しい走査線数だけ遅延される。この結果、電圧制御発振器12が使用不能にされる時間間隔（すなわち、EOCパルス18とSOSパルス20との時間間隔）の間に変換し、整定する時間が、デジタルアナログ変換器40に与えられる。したがって、SOSパルス20が電圧制御発振器12に到達したとき、電圧制御発振器12はその特定鏡面に関して正しい周波数で動作しているであろう。

【0021】図2の(A)～(L)は、ポンプアップ動作のとき位相ロックループ10内に発生する信号のタイミング図を示す。この実例の場合、1走査線内に8個の画素のみが存在するが、一般には、1走査線内に2000～12000画素が存在する。

【0022】位相ロックループ10において、もしEOSパルス22がEOCパルス18より後に位相検出器24に到着すれば、電圧制御発振器12が高すぎる周波数で動作していることが指示される。したがって、電圧制御発振器12の周波数を減少させて、すなわちポンプダウンさせて、誤差パルスPD21を修正する必要がある。ポンプダウン動作は、前に説明したポンプアップ動作に類似している。

【0023】しかし、誤差パルスPD19はフリップフロップ70を変化させない。したがって、符号ビットはハイすなわち高位にならない。残りの機能はポンプアップ動作の場合と同じである。図3の(A)～(L)は、ポンプダウン動作のとき位相ロックループ10内に発生する信号のタイミング図である。

【0024】図4の(A)～(P)は、実例として、4面多面体の場合の走査線の遅延を示す。

【0025】鏡面#1に関する位相誤差は、図4の(C)のレディパルスの立上がり縁に応じて FIFOレジスタ36にクロック入力される。鏡面#2, #3, #4に関する位相誤差は、それぞれ、図4の(G), (K), (O)のレディパルスの立上がり縁に応じて記憶される。鏡面#1に関する位相誤差は、図4の(P)のEOC遅延パルスの立上がり縁の所で検索される。

【0026】EOCパルスは3本の走査線（すなわち、鏡面数-1）だけ遅延される。このとき、FIFOレジスタ36から鏡面#1に関する位相誤差がクロック出力されて電圧制御発振器12に加えられる。SOS信号20が鏡面#1の掃引の開始時に電圧制御発振器12を使用可能にするので、電圧制御発振器12は所望の周波数で動作しているであろう。多面体の最初の回転のあと、FIFOレジスタ36は確実に新しい位相誤差をクロック入力し、そして多面体の先の回転からの位相誤差情報を

をクロック出力する。

【0027】位相ロックループ10の精度は1走査線当たりほぼ±1ナノ秒修正以下である。得られた高い精度は多色印刷において重ね合せを維持するために絶対に必要である。

【0028】図1について説明した位相ロックループ10は、位相検出器24で得た狭パルス幅を電圧に変換して FIFOレジスタ36に記憶させるため、正確かつ高速度で作動する積分器74を使用する必要がある。

【0029】図5は、積分器74を必要としない代替位相ロックループ10'を示す。図5の位相ロックループ10'においては、SOS信号20の立上がり縁は電圧制御発振器12（画素（ビデオ）クロック周波数である出力周波数を有する）を使用可能にする。SOS信号20の立上がり縁は、さらに、位相誤差カウンタ56を零にリセットする。

【0030】1÷N除算カウンタ16は、高速走査線内の画素数をカウントし、最終画素の所で信号EOS18を出力する。信号EOS18は電圧制御発振器12を使用不能にし、同時に位相検出器24に入力される。

【0031】ポンプアップ動作の場合には、前に述べたように、PU信号19の立上がり縁が、符号ビット出力がハイになるように、フリップフロップ70を変化させる。SOS信号20がフリップフロップ70をクリヤする。信号PU19と信号PD21がORゲート72へ入力される。位相誤差パルス幅の中には多くのクロックサイクルが入るので、ORゲート72から出力されたパルスはANDゲート53を介して水晶発振器50を使用可能し、位相誤差カウンタ56にカウントさせる。この結果、位相誤差カウンタ56は位相誤差パルス幅に比例するデータを出力する。

【0032】ORゲート72から出力されたパルスは、さらに、位相反転器76'へ入力される。位相反転された位相誤差パルスの立上がり縁は、位相誤差カウンタ56から FIFOレジスタ36にデータを記憶させる。同時に、ハイ状態である符号ビットも記憶される。FIFOレジスタ36内のデジタルデータは、特定の鏡面に関する位相誤差を表す。そのデータは、図1について説明したように、同じやり方で検索される。

【0033】図6の(A)～(J)および図7の(A)～(I)は、それぞれ、ポンプアップ動作およびポンプダウン動作のとき位相ロックループ10'内に生じる信号のタイミング図を示す。前の実例と同様に、これらのタイミング図も8画素のみから成る走査線を示すが、典型的な装置は、一般に、1走査線内に2000～12000画素を有する。

【0034】位相ロックループ10'の精度は1走査線当たりほぼ±2ナノ秒の修正以内である。得られた高い精度は、多色印刷において重ね合せを維持するうえで絶対に必要である。

【0035】位相ロックループ10'は信号雑音比を向上させ、同時に設計を容易にする。

【0036】

【発明の効果】本発明は、多面体の各鏡面に関する誤差を記憶し、次の回転のとき同じ鏡面に関する誤差を補正する位相ロックループを提供する。FIFO記憶素子の使用により、記憶装置をランダムでなく順次にアクセスすることができるので、設計が簡単になる。多面体の各鏡面に関する誤差は当面の走査に基づいて補正され、同時にその誤差情報は次の多面体の回転のとき同じ鏡面に関する誤差を補正するために記憶される。したがって、1回転当たり一度またはそれ以下の頻度で発生するモーター速度誤差を正確かつ経済的に補償することができる。

【0037】以上、本発明を、特定の実施例について説明したが、この分野の専門家は、多くの代替態様、修正態様、変更態様を思い浮かべることであろう。したがって、記載した発明の好ましい実施例は例示のためのものであり、発明を限定するものではない。特許請求の範囲に記載した発明の精神および範囲の中で、さまざまな変更をなすことができる。

【図面の簡単な説明】

【図1】本発明の画素クロック位相ロックループの第1の実施例のブロック図である。

【図2】図2の(A)～(L)は、図1の実施例によるポンプアップ動作のタイミング図である。

【図3】図3の(A)～(L)は、図1の実施例によるポンプダウン動作のタイミング図である。

【図4】図4の(A)～(P)は、図1の実施例について使用した4面多面体の場合の走査線遅延のタイミング図である。

【図5】本発明の画素クロック位相ロックループの第2の実施例のブロック図である。

【図6】図6の(A)～(J)は、図5の実施例による

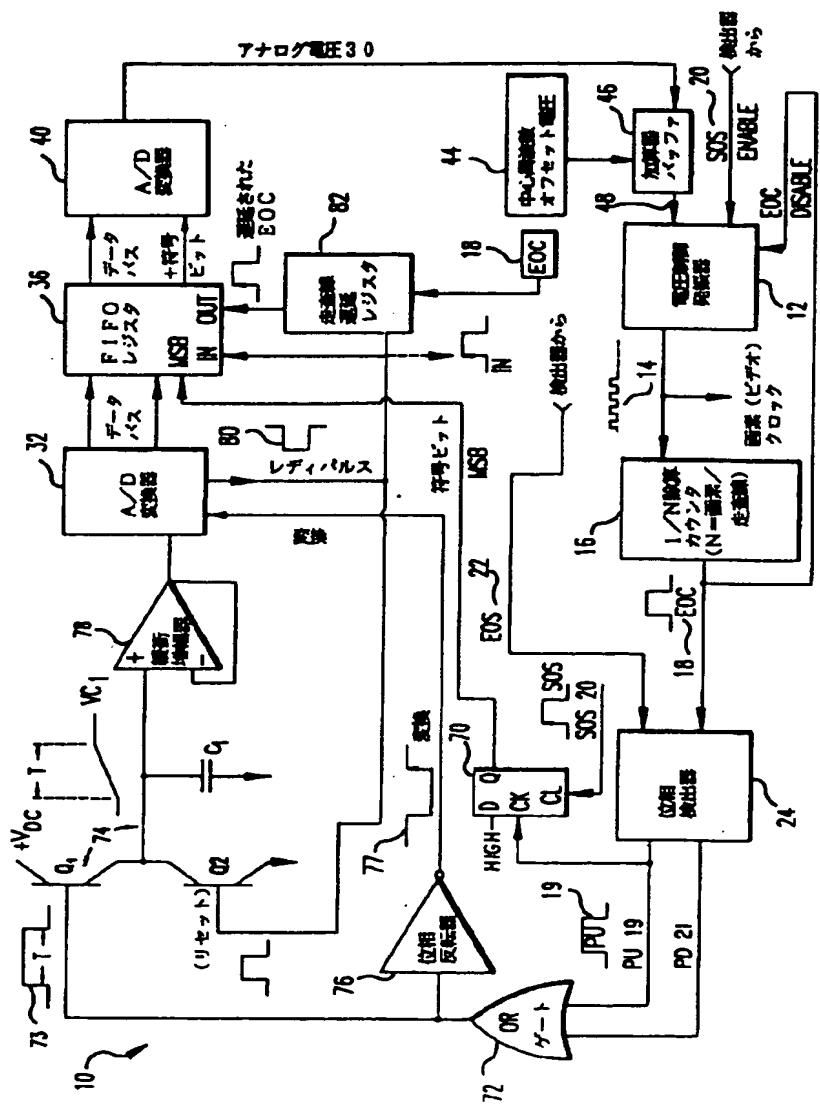
ポンプアップ動作のタイミング図である。

【図7】図7の(A)～(I)は、図5の実施例によるポンプダウン動作のタイミング図である。

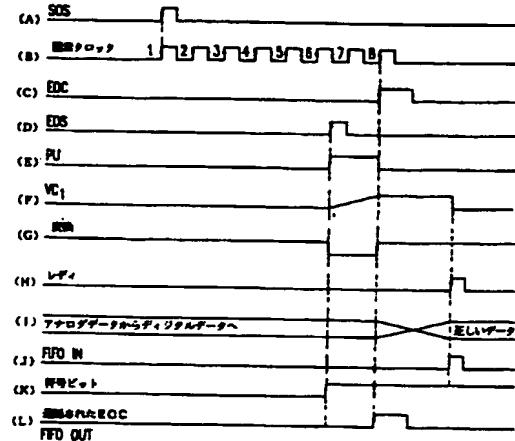
【符号の説明】

10, 10'	画素クロック位相ロックループ
12	電圧制御発振器
14	所望の画素(ビデオ)クロック周波数
16	$1 \div N$ 除算カウンタ
18	EOCパルス
10 19	誤差パルスPU
20	SOS信号パルス
21	誤差パルスPD
22	EOS信号パルス
24	位相検出器
26	パルス
30	アナログ位相誤差電圧
32	アナログデジタル変換器
36	FIFOレジスタ
40	デジタルアナログ変換器
20 44	中心周波数電圧
46	加算器バッファ
48	合成電圧
50	水晶発振器
53	ANDゲート
56	位相誤差カウンタ
70	フリップフロップ
72	ORゲート
73	パルス
74	積分器(Q_1, C_1)
30 76, 76'	位相反転器
77	変換信号
78	緩衝増幅器
80	レディパルス
82, 82'	走査線遅延レジスタ

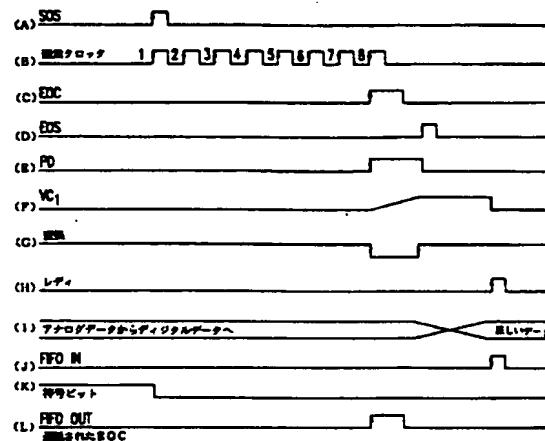
[図1]



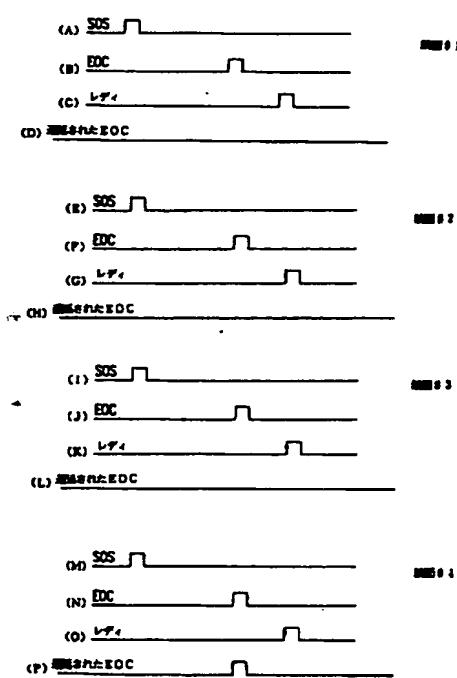
【図2】



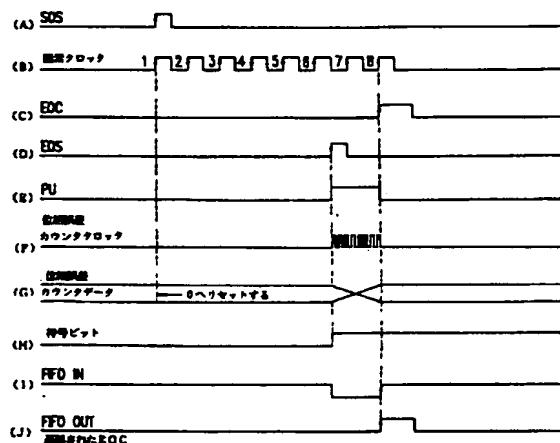
【図3】



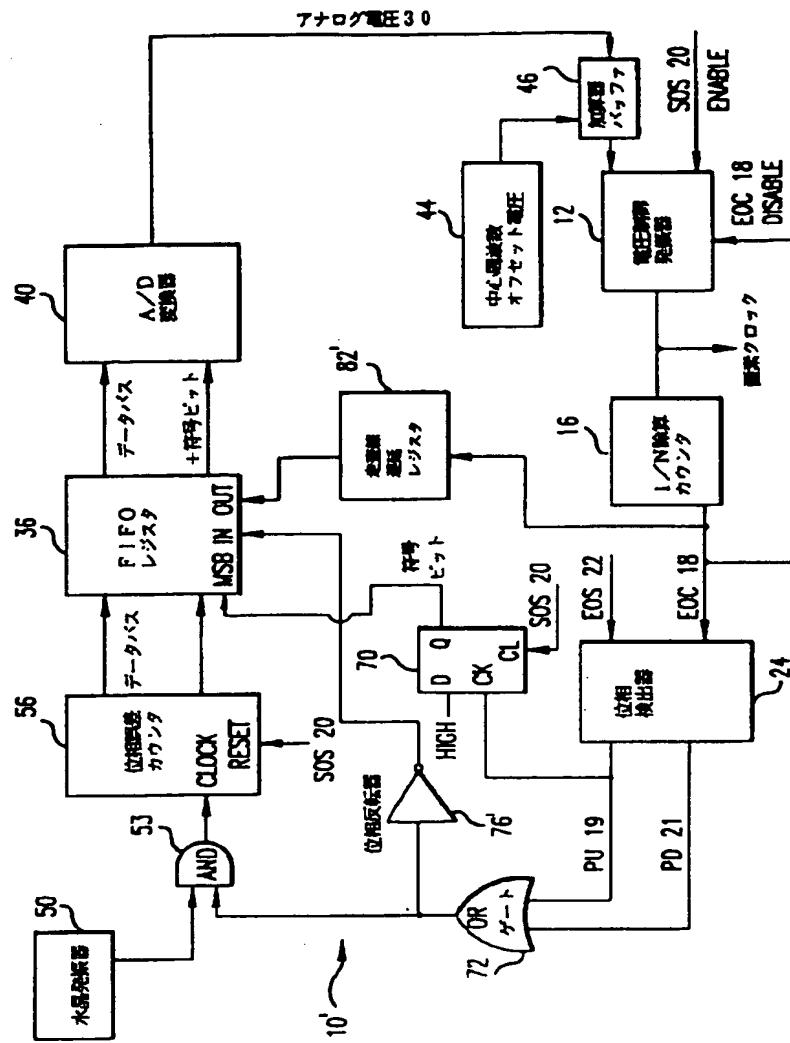
【図4】



【図6】



【図5】



【図7】

